



ALMA MATER STUDIORUM
UNIVERSITÀ DI BOLOGNA

DIPARTIMENTO
DI INGEGNERIA
DELL'ENERGIA ELETTRICA
E DELL'INFORMAZIONE
"GUGLIELMO MARCONI"

Validazione di periferiche su FPGA per sistemi HPC

L'obiettivo principale di questo progetto è la validazione funzionale e l'ottimizzazione delle prestazioni dei controller di periferiche per SoC ad alte prestazioni attraverso l'uso di FPGA. In particolare, il focus sarà sulla progettazione e realizzazione di PCB che integrano memorie HyperRAM e RPC (Reduced Pin Count). L'obiettivo del progetto sarà quello di condurre test approfonditi sui controller mappati su FPGA per ottimizzarne le prestazioni, la gerarchia di memoria dei sistemi e validarne il funzionamento. Questa attività si allinea agli obiettivi del progetto europeo **EU Pilot**, che prevede la validazione FPGA di un sistema High-Performance Computing (HPC), e mira a dimostrare l'efficienza delle soluzioni basate su periferiche a basso numero di pin e controller ad alte prestazioni in ambienti SoC avanzati.

Attività Principali:

- Progettazione e realizzazione di PCB con memorie HyperRAM e RPC.
- Implementazione e configurazione dei controller di memoria su FPGA, con mappatura delle periferiche.
- Sviluppo di una metodologia di test per la validazione funzionale dei controller, inclusi test di stress e di integrazione con il sistema SoC.
- Ottimizzazione della gerarchia di memoria, con particolare attenzione alla riduzione della latenza e all'incremento della banda passante.
- Analisi delle prestazioni dei controller e tuning dei parametri per ottimizzare l'efficienza complessiva del sistema.

FPGA validation of peripherals for high-performance SoCs

The main objective of this project is the functional validation and performance optimization of peripheral controllers for high-performance SoCs using FPGA technology. Specifically, the focus will be on the design and development of PCBs integrating HyperRAM and RPC (Reduced Pin Count) memories. The project aims to conduct in-depth tests on the controllers mapped onto FPGA to optimize their performance, the system's memory hierarchy, and validate their functionality. This activity aligns with the goals of the European **EU Pilot** project, which involves the FPGA validation of a High-Performance Computing (HPC) system, aiming to demonstrate the efficiency of solutions based on low-pin-count peripherals and high-performance controllers in advanced SoC environments.

Main Activities:

- Design and development of PCBs with HyperRAM and RPC memories.
- Implementation and configuration of memory controllers on FPGA, with peripheral mapping.

DIREZIONE E AMMINISTRAZIONE

Viale del Risorgimento, 2 | 40136 Bologna | Italia | tel. + 39 051 2093001

UOS: via dell'Università, 50 | 47522 Cesena | Italia | tel. +39 0547 339200



ALMA MATER STUDIORUM
UNIVERSITÀ DI BOLOGNA

DIPARTIMENTO
DI INGEGNERIA
DELL'ENERGIA ELETTRICA
E DELL'INFORMAZIONE
"GUGLIELMO MARCONI"

- Development of a test methodology for functional validation of the controllers, including stress and integration testing with the SoC system.
- Optimization of the memory hierarchy, with particular attention to reducing latency and increasing bandwidth.
- Performance analysis of the controllers and parameter tuning to optimize the overall system efficiency.

DIREZIONE E AMMINISTRAZIONE

Viale del Risorgimento, 2 | 40136 Bologna | Italia | tel. + 39 051 2093001
UOS: via dell'Università, 50 | 47522 Cesena | Italia | tel. +39 0547 339200